

03/3

734

09/830515  
PCT/JP00/05783日本国特許庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

04.10.00

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日  
Date of Application:

1999年 8月30日

REC'D 15 DEC 2000

WIPO

PCT

出願番号  
Application Number:

平成11年特許願第242665号

出願人  
Applicant (s):

ソニー株式会社

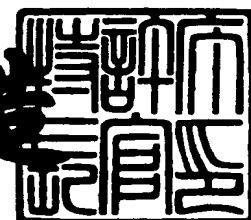
JP 00/05783  
E K UPRIORITY  
DOCUMENT

SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH RULE 17.1(a) OR (b)

2000年12月 1日

特許庁長官  
Commissioner,  
Patent Office

及川耕造



出証番号 出証特2000-3096831

【書類名】 特許願  
 【整理番号】 9900451703  
 【提出日】 平成11年 8月30日  
 【あて先】 特許庁長官 殿  
 【国際特許分類】 H04N 5/335  
 H01L 27/14

【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社  
 内

【氏名】 鈴木 亮司

【特許出願人】

【識別番号】 000002185

【氏名又は名称】 ソニー株式会社

【代表者】 出井 伸之

【代理人】

【識別番号】 100086298

【弁理士】

【氏名又は名称】 船橋 國則

【電話番号】 0462-28-9850

【手数料の表示】

【予納台帳番号】 007364

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9904452

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 固体撮像素子およびその駆動方法ならびにカメラシステム

【特許請求の範囲】

【請求項 1】 単位画素が行列状に配置されてなる画素部と、

前記画素部に行単位で配線された複数行分の水平信号線と、

前記複数行分の水平信号線に対して共通に配線された複数の垂直信号線と、

前記画素部の各画素を異なる複数行について行単位で選択するとともに、選択する複数行の各画素における信号電荷の蓄積時間を複数行の間で異ならせ、前記複数行分の水平信号線に各画素から出力された信号を順次前記複数の垂直信号線に出力する複数系統の垂直駆動手段と、

前記複数系統の垂直駆動手段によって選択された複数行の各画素を順次選択する水平駆動手段と

を備えたことを特徴とする固体撮像素子。

【請求項 2】 前記複数系統の垂直駆動手段は、前記複数行分の水平信号線の各々と前記複数の垂直信号線との間に接続された複数系統の垂直選択スイッチと、前記複数系統の垂直選択スイッチに対応して設けられ、垂直走査によって異なる行の垂直選択スイッチを順次駆動する複数の垂直走査回路とを有する

ことを特徴とする請求項 1 記載の固体撮像素子。

【請求項 3】 単位画素が行列状に配置されてなる画素部と、前記画素部に行単位で配線された複数行分の水平信号線と、前記複数行分の水平信号線に対して共通に配線された複数の垂直信号線とを具備する固体撮像素子において、

前記画素部の各画素を異なる複数行について行単位で選択するとともに、選択する複数行の各画素における信号電荷の蓄積時間を複数行の間で異ならせ、この選択した複数行の各画素を順次選択して各画素の信号を前記複数行分の水平信号線のうちの対応する水平信号線に出力し、

各画素から水平信号線に出力された信号を前記複数の垂直信号線を通して導出する

ことを特徴とする固体撮像素子の駆動方法。

【請求項 4】 単位画素が行列状に配置されてなる画素部と、前記画素部に  
行単位で配線された複数行分の水平信号線と、前記複数行分の水平信号線に対し  
て共通に配線された複数の垂直信号線と、前記画素部の各画素を異なる複数行に  
ついて行単位で選択するとともに、選択する複数行の各画素における信号電荷の  
蓄積時間を複数行の間で異ならせ、前記複数行分の水平信号線に各画素から出力  
された信号を順次前記複数の垂直信号線に出力する複数系統の垂直駆動手段と、  
前記複数系統の垂直駆動手段によって選択された複数行の各画素を順次選択する  
水平駆動手段とを備えた固体撮像素子を撮像デバイスとして用いた

ことを特徴とするカメラシステム。

【請求項 5】 前記固体撮像素子から出力される異なる複数行の信号を同時  
化する遅延手段と、前記遅延手段によって同時化された前記複数行の信号を演算  
す演算手段とを有する信号処理回路を備えた

ことを特徴とする請求項 4 記載のカメラシステム。

#### 【発明の詳細な説明】

##### 【0001】

##### 【発明の属する技術分野】

本発明は、固体撮像素子およびその駆動方法ならびにカメラシステムに関し、  
特に X-Y アドレス型の固体撮像素子およびその駆動方法ならびに当該固体撮像  
素子を撮像デバイスとして用いたカメラシステムに関する。

##### 【0002】

##### 【従来の技術】

CMOS 撮像素子などの X-Y アドレス型固体撮像素子では、光電変換によっ  
て単位画素に蓄積される電荷量に対してほぼ線形な出力信号が得られ、単位画素  
に蓄積できる電荷量によって撮像素子のダイナミックレンジが決定される。図 1  
3 に、撮像素子の入射光量と出力信号量の関係を示す。この入出力特性図から明  
らかなように、撮像素子のダイナミックレンジは、画素の飽和信号量とノイズレ  
ベルで決まることになる。

##### 【0003】

このように、単位画素に蓄積可能な電荷量にはその画素のサイズに応じて限界

があることから、この種の X - Y アドレス型固体撮像素子を撮像デバイスとして用いたカメラシステムにおいて、例えば、低輝度の被写体にカメラレンズの絞りを合わせると高輝度の被写体の信号が飽和してしまい、逆に高輝度の被写体にカメラレンズの絞りを合わせると低輝度の被写体の信号がノイズに埋もれてしまうため、画像認識等に要求される広ダイナミックレンジを得ることができないことになる。

## 【 0 0 0 4 】

このため、1フィールドまたは1フレームの中で長時間蓄積信号と短時間蓄積信号とを出力し、これらの信号に基づいて非常に広い範囲の入射光量に対してコントラストのある撮像信号を得るようにすることにより、広ダイナミックレンジ撮像を可能とした X - Y アドレス型固体撮像素子が提案されている。ここに、長時間蓄積信号とは長時間蓄積による信号電荷に基づく信号のことを言い、短時間蓄積信号とは短時間蓄積による信号電荷に基づく信号のことを言う。

## 【 0 0 0 5 】

## 【発明が解決しようとする課題】

しかしながら、従来の X - Y アドレス型固体撮像素子では、長時間蓄積信号を1ライン分出力した後、短時間蓄積信号を1ライン分出力するようにしていたので、水平映像期間中に垂直読み出し走査パルスが立ち上がった後、1水平走査期間中に水平走査回路が2回走査することになり、これによって信号処理回路に回り込んで、画面の中央付近に縦筋状のシステムノイズとして現れるという問題があった。

## 【 0 0 0 6 】

また、同じ水平走査期間中に長時間蓄積信号と短時間蓄積信号とを共通の信号線を通して単一の出力端子から導出するようにしていることから、広ダイナミックレンジ撮像動作を行わない撮像素子に対して、出力信号周波数がほぼ2倍となるため、消費電力が増大したり、SN比が劣化するなどの問題もあった。

## 【 0 0 0 7 】

本発明は、上記課題に鑑みてなされたものであり、その目的とするところは、縦筋状のシステムノイズを原理的に解消することができるとともに、消費電力の

増大や S N 比の劣化を防止し得る固体撮像素子およびその駆動方法ならびにカメラシステムを提供することにある。

#### 【0008】

##### 【課題を解決するための手段】

本発明による固体撮像素子では、単位画素が行列状に配置されてなる画素部に対して行単位で複数行分の水平信号線が配線され、またこれら水平信号線に対して複数の垂直信号線が共通に配線されている。そして、画素部の各画素を異なる複数行について行単位で選択するとともに、複数行分の水平信号線に各画素から出力された信号を順次複数の垂直信号線に出力する複数系統の垂直駆動手段と、これら垂直駆動手段によって選択された複数行の各画素を順次選択する水平駆動手段とが設けられている。また、本発明によるカメラシステムは、上記構成の固体撮像素子を撮像デバイスとして用いている。

#### 【0009】

上記の構成の固体撮像素子において、垂直信号線を例えば 2 本配線し、これに対応して垂直駆動手段を 2 系統設けた構成の場合を考えると、異なる 2 行分の信号が 2 本の垂直信号線を通して同時に導出される。このとき、異なる 2 行の各画素における信号電荷の蓄積時間を当該 2 行の間で異ならせることで、長時間蓄積信号と短時間蓄積信号が 2 系統の信号として同時に導出される。そして、この固体撮像素子を撮像デバイスとして用いたカメラシステムでは、長時間蓄積信号および短時間蓄積信号を同一行の信号とするために同時化処理を行い、しかる後演算処理することで広ダイナミックレンジ撮像を実現する。

#### 【0010】

##### 【発明の実施の形態】

以下、本発明の実施の形態について、X-Y アドレス型の固体撮像素子である例えば CMOS 撮像素子に適用した場合を例に採って図面を参照しつつ詳細に説明する。図 1 は、本発明の一実施形態に係る CMOS 撮像素子を示す概略構成図である。

#### 【0011】

図 1 において、破線で囲まれた領域が単位画素 1 1 を表している。この単位画

素 1 1 は、光電変換素子であるフォトダイオード (PD) 1 2 に対して、読み出しトランジスタ 1 3、読み出し選択トランジスタ 1 4、増幅トランジスタ 1 5、リセットトランジスタ 1 6 および出力選択トランジスタ 1 7 の 5 つの N c h M O S トランジスタを有する構成となっている。そして、この単位画素 1 1 が行列状に配置されて画素部 2 1 を構成している。

#### 【0 0 1 2】

なお、ここでは、図面の簡略化のために、画素部 2 1 が 2 列 ( $m-1$  列目,  $m$  列目) 2 行 ( $n$  行目,  $n+1$  行目) の画素構成の場合を例にとって示している。この画素部 2 1 には、水平信号線  $2 2 n+1$ ,  $2 2 n$  および読み出し線  $2 3 n+1$ ,  $2 3 n$  が行単位で配線されている。さらに、水平選択線  $2 4 m-1$ ,  $2 4 m$  が列単位で配線されている。

#### 【0 0 1 3】

$m$  列  $n+1$  行目の単位画素 1 1 において、フォトダイオード 1 2 は、光電変換と電荷蓄積の各機能を兼ね備えている。すなわち、入射光をその光量に応じた電荷量の信号電荷に光電変換し、かつその信号電荷を蓄積する機能を持っている。このフォトダイオード 1 2 は、埋め込みダイオードのセンサ構造、例えば n p ダイオードの基板表面側に  $p^+$  層からなる正孔蓄積層を付加した H A D (Hole Accumulated Diode) センサ構造となっている。

#### 【0 0 1 4】

フォトダイオード 1 2 のカソードには読み出しトランジスタ 1 3 のソースが接続されている。読み出しトランジスタ 1 3 は、ドレインが蓄積部である浮遊拡散領域 F D に接続され、ゲートが読み出し選択トランジスタ 1 4 のソース/ドレインに接続されている。読み出し選択トランジスタ 1 4 は、ドレイン/ソースが読み出し線  $2 3 n+1$  に接続され、ゲートが水平選択線  $2 4 m$  に接続されている。増幅トランジスタ 1 5 は、ゲートが浮遊拡散領域 F D に接続され、ドレインが電源 V D D に接続されている。

#### 【0 0 1 5】

リセットトランジスタ 1 6 は、ソースが浮遊拡散領域 F D に、ドレインが電源 V D D にそれぞれ接続され、ゲートが隣接する  $m-1$  列目の水平信号線  $2 4 m-$

1に接続されている。このリセットトランジスタ16は、浮遊拡散領域FDを電源VDDにリセットするためにデプレッション型である。出力選択トランジスタ17は、ドレインが増幅トランジスタ15のソースに、ソースが水平信号線22n+1にそれぞれ接続され、ゲートが水平選択線24mに接続されている。

## 【0016】

また、複数行分、本例では2行分の水平信号線22n, 22n+1に対して、これらと直交する方向に第1, 第2垂直信号線25, 26が、画素部21外の領域において配線されている。そして、水平信号線22n, 22n+1の各々と第1, 第2垂直信号線25, 26との間には、垂直選択トランジスタ27n, 27n+1および28n, 28n+1がそれぞれ接続されている。これら垂直選択トランジスタ27n, 27n+1, 28n, 28n+1も、NchMOSトランジスタからなっている。

## 【0017】

画素部21の周辺部には、列選択のための水平走査回路29が水平駆動系として、行選択のための第1垂直走査回路30および蓄積時間を制御するための第2垂直走査回路31が垂直駆動系としてそれぞれ設けられている。これらの走査回路29, 30, 31は例えばシフトレジスタによって構成され、タイミングジェネレータ(TG)32から与えられる駆動パルスに応答してシフト動作(走査)を開始するようになっている。

## 【0018】

水平走査回路29からは、水平走査(選択)パルス $\phi H_{m-1}$ ,  $\phi H_m$ が順次出力される。これら水平走査パルス $\phi H_{m-1}$ ,  $\phi H_m$ は、水平選択線24m-1, 24mを通して列単位で単位画素11の読み出し選択トランジスタ14、リセットトランジスタ16および出力選択トランジスタ17の各ゲートに与えられる。第1垂直走査回路30からは第1垂直走査パルス $\phi V_{1n}$ ,  $\phi V_{1n+1}$ が順次出力され、第2垂直走査回路31からは第2垂直走査パルス $\phi V_{2n}$ ,  $\phi V_{2n+1}$ が順次出力される。

## 【0019】

第1垂直走査パルス $\phi V_{1n}$ ,  $\phi V_{1n+1}$ は、行ごとにORゲート33n,



33n+1の一方の入力になるとともに、垂直選択線34n, 34n+1を通して垂直選択トランジスタ27n, 27n+1のゲートに与えられる。第2垂直走査パルス $\phi V1n$ ,  $\phi V2n+1$ は、行ごとにORゲート33n, 33n+1の他方の入力になるとともに、垂直選択線36n, 36n+1を通して垂直選択トランジスタ28n, 28n+1のゲートに与えられる。

【0020】

ORゲート33n, 33n+1の各出力は、ANDゲート35n, 35n+1の各一方の入力となる。ANDゲート35n, 35n+1の各他方の入力としては、タイミングジェネレータ32から出力される読み出しパルス $\phi PRD$ が与えられる。ANDゲート35n, 35n+1の各出力は、読み出し線23n, 23n+1を通して各画素における読み出し選択トランジスタ14のドレインに与えられる。

【0021】

第1, 第2垂直信号線25, 26の出力端側には、信号電流を信号電圧に変換するI（電流）-V（電圧）変換回路37, 38と、差分回路としての例えば相関二重サンプリング回路（以下、CDS (Correlated Double Sampling) 回路と称す）39, 40とが設けられている。I-V変換回路37, 38は、垂直信号線25, 26を通して信号電流として供給される画素信号を信号電圧に変換してCDS回路39, 40に供給する。

【0022】

CDS回路39, 40は、タイミングジェネレータ32から与えられるサンプリングパルスに基づいて、画素リセット直後のノイズレベルと信号レベルとの差分をとる処理を行う。また、CDS回路39, 40の後段には、必要に応じてAGC (Auto Gain Control) 回路やADC (Analog Digital Converter) 回路等を設けることも可能である。

【0023】

次に、上記構成の一実施形態に係るCMOS撮像素子における広ダイナミックレンジ動作について、図2および図3のタイミングチャートを用いて説明する。なお、図2は垂直走査のタイミングチャート、図3は水平走査のタイミングチャート

ートである。

#### 【0024】

第1, 第2垂直走査回路30, 31の垂直走査により、時刻 $t_1$ で第1垂直走査回路30から第1垂直走査パルス $\phi V1_n$ が、第2垂直走査回路31から第2垂直走査パルス $\phi V2_{n+i}$ がそれぞれ出力される。第1垂直走査パルス $\phi V1_n$ は垂直選択線34 $_n$ を通して $n$ 行目の垂直選択トランジスタ27 $_n$ のゲートに印加され、第2垂直走査パルス $\phi V2_{n+i}$ は垂直選択線36 $_{n+i}$ を通して $n+i$ 行目の垂直選択トランジスタ28 $_{n+i}$ のゲートに印加される。その結果、 $n$ 行目、 $n+i$ 行目がそれぞれ選択される。

#### 【0025】

この状態において、水平走査回路29によって水平走査が行われる。この水平走査において、ここでは、例えば $m$ 列目に着目して動作説明を行う。先ず、水平走査回路29から水平走査パルス $\phi H_{m-1}$ が出力され、 $m-1$ 列目の水平選択線24 $_{m-1}$ に印加されると、 $m$ 列目の画素のリセットトランジスタ16がオン状態となる。これにより、浮遊拡散領域FDがリセットトランジスタ16を通して電源VDDにリセットされる。

#### 【0026】

続いて、水平走査回路29から水平走査パルス $\phi H_m$ が出力され、 $m$ 列目の水平選択線24 $_m$ に印加されると、 $m$ 列目の画素の出力選択トランジスタ17がオン状態となる。これにより、垂直選択された $n$ 行目、水平選択された $m$ 列目の画素( $m, n$ )のリセットレベルに応じた電流が、水平信号線22 $_n$ および垂直選択トランジスタ27 $_n$ を通して第1垂直信号線25に出力され、同時に、垂直選択された $n+i$ 行目、水平選択された $m$ 列目の画素( $m, n+i$ )のリセットレベルに応じた電流が、水平信号線22 $_{n+i}$ および垂直選択トランジスタ28 $_{n+i}$ を通して第2垂直信号線26に出力される。

#### 【0027】

また、水平走査パルス $\phi H_m$ の発生期間において、読み出しパルス $\phi PRD$ が出力されると、この読み出しパルス $\phi PRD$ はANDゲート35 $_n$ で第1垂直走査パルス $\phi V1_n$ と、ANDゲート35 $_{n+i}$ で第2垂直走査パルス $\phi V2_{n+i}$

$i$  とそれぞれ論理積がとられる。その結果、 $n$  行目、 $n + i$  行目の読み出し線  $23n$ ,  $23n + i$  にそれぞれパルスが立つ。このとき、画素  $(m, n)$ 、 $(m, n + i)$  の各読み出し選択トランジスタ 14 は、水平走査パルス  $\phi H_m$  がゲートに印加されていることからオン状態にある。

【0028】

したがって、読み出し線  $23n$ ,  $23n + i$  に印加された読み出しパルス  $\phi PRD$  は、画素  $(m, n)$ 、 $(m, n + i)$  において、読み出し選択トランジスタ 14 のドレイン-ソースを介して読み出しトランジスタ 13 のゲートに印加される。これにより、読み出しトランジスタ 13 がオン状態となり、フォトダイオード 12 で光電変換によって発生し、蓄積された信号電荷が読み出しトランジスタ 13 を通して浮遊拡散領域  $FD$  に読み出される。

【0029】

読み出しパルス  $\phi PRD$  が消滅すると、読み出しトランジスタ 13 がオフ状態となる。そして、浮遊拡散領域  $FD$  に読み出された信号電荷は、その電荷量に応じて増幅トランジスタ 15 で増幅されて信号電流となり、出力選択トランジスタ 17 を経て、図 4 の模式図に示すように、水平信号線  $22n$ ,  $22n + i$  および垂直選択トランジスタ  $27n$ ,  $28n + i$  を通して第 1, 第 2 垂直信号線  $25$ ,  $26$  にそれぞれ出力される。

【0030】

この画素  $(m, n)$ 、 $(m, n + i)$  の選択時には、その水平走査パルス  $\phi H_m$  によって次の列の画素  $(m + 1, n)$ 、 $(m + 1, n + i)$  のリセットが行われる。そして、水平走査パルス  $\phi H_m$  が消滅し、水平走査パルス  $\phi H_{m+1}$  が水平走査回路 29 から出力されることにより、次の列の画素  $(m + 1, n)$ 、 $(m + 1, n + i)$  がそれぞれ選択状態となる。

【0031】

上述した一連の動作の繰り返しにより、 $n$  行目の 1 ライン分の単位画素 11 のリセットレベルと信号レベルが、また  $n + i$  行目の 1 ライン分の単位画素 11 のリセットレベルと信号レベルがそれぞれ、同一の経路（水平信号線  $22n$  や垂直選択トランジスタ  $27n$ ,  $28n + i$  など）を通して点順次に第 1, 第 2 垂直信

号線 25, 26 上に読み出される。これらはさらに、I-V 変換回路 37, 38 で電流から電圧に変換された後 CDS 回路 39, 40 に送られ、相関二重サンプリングによるノイズキャンセルが行われる。

## 【0032】

次に、第 2 垂直走査回路 31 の垂直走査により、時刻  $t_2$  で当該走査回路 31 から第 2 垂直走査パルス  $\phi V_{2n}$  が出力される。この第 2 垂直走査パルス  $\phi V_{2n}$  は、垂直選択線 36n を通して n 行目の垂直選択トランジスタ 28n のゲートに印加される。その結果、n 行目が選択される。この n 行目の各画素は、時刻  $t_1$  で第 1 垂直走査回路 30 の垂直走査によって選択され、フォトダイオード 12 がリセットされている。

## 【0033】

したがって、n 行目の各画素において、 $t_2 - t_1$  の蓄積時間にフォトダイオード 12 で光電変換されかつ蓄積された電荷量に応じた信号（即ち、長時間蓄積信号）が、n 行目の水平信号線 22n → 垂直選択トランジスタ 28n → 第 2 垂直信号線 26 を通して、出力 OUT2 として導出される。またこの時点でもフォトダイオード 12 から信号が読み出されるので、フォトダイオード 12 がリセットされる。

## 【0034】

再び、第 1 垂直走査回路 30 の垂直走査により、時刻  $t_1$  から 1 垂直走査期間（1V）後の時刻  $t_3$  で当該走査回路 30 から第 1 垂直走査パルス  $\phi V_{1n}$  が出力される。この第 1 垂直走査パルス  $\phi V_{1n}$  は、垂直選択線 34n を通して n 行目の垂直選択トランジスタ 27n のゲートに印加される。その結果、n 行目が選択される。この n 行目の各画素は、時刻  $t_2$  で第 2 垂直走査回路 31 の垂直走査によって選択され、フォトダイオード 12 がリセットされている。

## 【0035】

したがって、n 行目の各画素において、 $t_3 - t_2$  の蓄積時間にフォトダイオード 12 で光電変換されかつ蓄積された電荷量に応じた信号（即ち、短時間蓄積信号）が、n 行目の水平信号線 22n → 垂直選択トランジスタ 27n → 第 1 垂直信号線 25 を通して、出力 OUT1 として導出される。

## 【0036】

図5に、通常の読み出しではフォトダイオード12が飽和してしまう画素についての蓄積電荷量の時間変化を示す。図5において、aは信号レベルを、bは飽和レベルを、cはホワイトクリップレベルをそれぞれ示している。なお、飽和レベルbは画素毎にばらつきを持っている。

## 【0037】

時刻 $t_1$ で蓄積が開始された画素は時刻 $t_2$ では飽和レベルに達しており、飽和レベルbが出力OUT2として導出される。時刻 $t_3$ では、画素から $t_3 - t_2$ の蓄積時間に応じた信号レベルaが出力OUT1として導出される。ここで、 $t_3 - t_2 \ll t_2 - t_1$ の条件を満足するようにタイミングを設定しておけば、 $t_2 - t_1$ で飽和した画素も $t_3 - t_2$ では飽和しない。

## 【0038】

このような一連の動作により、同一画素から $t_3 - t_2$ の時間だけずれたタイミングで出力OUT2として長時間蓄積信号（飽和レベルb）が、出力OUT1として短時間蓄積信号（信号レベルa）がそれぞれ導出される。

## 【0039】

上述したように、各画素の蓄積電荷量に応じた信号を、行単位で配線された水平信号線 $2n, 2n+1$ に出力する構成のCMOS撮像素子において、各水平信号線ごとに例えば2つの垂直選択トランジスタ25, 26と、各水平信号線に対して2本の垂直信号線25, 26および2つの垂直走査回路30, 31を配したことにより、1フィールドを1H（Hは水平走査期間）の整数倍で任意に分割された蓄積時間の異なる信号、即ち長時間蓄積信号と短時間蓄積信号とを別々に導出できる。

## 【0040】

これにより、CMOS撮像素子の駆動周波数、即ち信号出力周波数を広ダイナミックレンジ撮像動作を行わない撮像素子と同じにできるため、消費電力の増大やSN比の劣化を防ぐことができる。しかも、水平映像期間中に不連続なタイミングパルスが立ち上がったことがないため、これに起因する縦筋状のシステムノイズが発生することもない。

## 【0041】

なお、本実施形態では、単位画素11の構成において、増幅トランジスタ15のドレインを電源VDDに接続し、ソースを出力選択トランジスタ17を介して水平信号線22n+1に接続する構成としたが、図6に示すように、増幅トランジスタ15のドレインを水平信号線22n+1に接続し、ソースを出力選択トランジスタ17を介してGNDに接続する構成も、I-V変換回路37、38の構成次第で可能となる。

## 【0042】

ところで、長時間蓄積信号と短時間蓄積信号とを導出し、これらに基づいて広範囲の入射光量に対してコントラストのある撮像信号を得る、即ち広ダイナミックレンジ撮像を実現するには、長時間蓄積信号と短時間蓄積信号として同一行の信号を用いることになる。これに対して、2本の垂直信号線25、26を通して同時に導出される長時間蓄積信号と短時間蓄積信号とは違う行の信号である。

## 【0043】

同一行に関しては、先述した動作説明から明らかなように、時刻t2で長時間蓄積信号が導出され、時刻t3で短時間蓄積信号が導出される。すなわち、同一行の長時間蓄積信号と短時間蓄積信号との間にはt3-t2の時間差がある。したがって、広ダイナミックレンジ撮像を実現するに当たっては、同一行の長時間蓄積信号と短時間蓄積信号とを導出する必要がある。これを實現するための信号処理系を備えた本発明に係るカメラシステムの構成の一例を図7に示す。

## 【0044】

図7から明らかなように、本発明に係るカメラシステムは、CMOS撮像素子41、レンズ42を含む光学系および信号処理回路43を有する構成となっている。かかる構成のカメラシステムにおいて、CMOS撮像素子41として、先の実施形態又はその変形例に係るCMOS撮像素子が用いられる。レンズ42は被写体（図示せず）からの入射光（像光）をCMOS撮像素子41の撮像面上に結像させる。CMOS撮像素子41は、撮像面上に結像された像光に基づいて、先述した短時間蓄積信号を出力OUT1として、長時間蓄積信号を出力OUT2としてそれぞれ出力する。

## 【0045】

信号処理回路 4 3 は、2 つのホワイトクリップ回路 4 3 1、4 3 2、単一の遅延回路 4 3 3、2 つのアンプ 4 3 4、4 3 5 および単一の加算器 4 3 6 を有する構成となっている。この信号処理回路 4 3 において、2 つのホワイトクリップ回路 4 3 1、4 3 2 は、CMOS 撮像素子 4 1 の出力 OUT 1、OUT 2、即ち短時間蓄積信号 a および長時間蓄積信号 b をホワイトクリップレベル（図 5 参照）でクリップし、各画素の飽和レベルのばらつきを揃える処理を行う。

## 【0046】

遅延回路 4 3 3 は、 $t_3 - t_2$  なる遅延時間を持ち、長時間蓄積信号 b を遅延することにより、短時間蓄積信号 a に対して長時間蓄積信号 b を同時化する。アンプ 4 3 4、4 3 5 は各々利得  $G_1$ 、 $G_2$  を持ち、短時間蓄積信号 a および長時間蓄積信号 b をそれぞれ増幅する。加算器 4 3 6 は、同時化されかつ増幅された短時間蓄積信号 a と長時間蓄積信号 b とを加算することで、 $a \times G_1 + b \times G_2$  の信号、即ち広範囲の入射光量に対してコントラストのある撮像信号を得る。

## 【0047】

このように、短時間蓄積信号 a と長時間蓄積信号 b とを別々に導出可能な CMOS 撮像素子 4 1 を撮像デバイスとして用いるとともに、CMOS 撮像素子 4 1 から出力される同一行の短時間蓄積信号 a と長時間蓄積信号 b とを同時化し、しかる後演算することにより、縦筋状のシステムノイズを発生することなく、広ダイナミックレンジ撮像を実現できる。

## 【0048】

また、信号処理回路 4 3 において、アンプ 4 3 5 の利得  $G_2$  を  $G_2 = 0$  に設定した場合には、短時間蓄積信号 a のみが撮像信号として出力されることになるため、蓄積時間  $t_3 - t_2$  の電子シャッター動作となる。すなわち、先の実施形態又はその変形例に係る CMOS 撮像素子を撮像デバイスとして用いた本発明に係るカメラシステムにおいて、アンプ 4 3 5 の利得  $G_2$  を切り替え可能な構成を採ることにより、広ダイナミックレンジ撮像と電子シャッター動作を選択的に実現できることになる。

## 【0049】

なお、先の実施形態に係るCMOS撮像素子では、垂直信号線、垂直選択トランジスタおよび垂直走査回路をそれぞれ2系統設ける構成としたが、2系統に限られるものではない。すなわち、3系統以上設ける構成を採り、各画素から信号を読み出すタイミング $t_1 : t_2 : t_3 : \dots$ の比、遅延回路の遅延量（遅延時間）および演算部の利得 $G_1, G_2, G_3, \dots$ を任意に設定することにより、様々な入出力特性を得ることができる。

## 【0050】

ここで、垂直信号線、垂直選択トランジスタおよび垂直走査回路をそれぞれ3系統設ける構成の場合を例に挙げると、画素の蓄積時間と蓄積電荷量との関係は図8に示すようになる。この場合のカメラシステムにおける信号処理回路43'の構成の一例を図9に示す。この信号処理回路43'は、3つのホワイトクリップ回路441, 442, 443、2つの遅延回路444, 445および3つのアンプ446, 447, 448および単一の加算器449を有する構成となっている。

## 【0051】

かかる構成の信号処理回路43'において、3つのホワイトクリップ回路441, 442, 443は、CMOS撮像素子の3系統の出力OUT1, OUT2, OUT3、即ち蓄積時間 $t_3 - t_2$ 、 $t_2 - t_1$ 、 $t_1$ の各信号をホワイトクリップレベル（図8参照）でクリップし、各画素の飽和レベルのばらつきを揃える処理を行う。

## 【0052】

遅延回路444は $t_3 - t_2$ なる遅延時間を、遅延回路445は $t_2 - t_1$ なる遅延時間を持ち、蓄積時間 $t_2 - t_1$ 、 $t_1$ の各信号をそれぞれ遅延することで、蓄積時間 $t_3 - t_2$ の信号に対して蓄積時間 $t_2 - t_1$ 、 $t_1$ の各信号を同時化する。アンプ446, 447, 448は利得 $G_1, G_2, G_3$ を持ち、蓄積時間 $t_3 - t_2$ 、 $t_2 - t_1$ 、 $t_1$ の各信号を増幅する。加算器449は、同時化されかつ増幅された蓄積時間 $t_3 - t_2$ 、 $t_2 - t_1$ 、 $t_1$ の各信号を加算することで、広範囲の入射光量に対してコントラストのある撮像信号を得る。



【0053】

ここで、一例として、各画素から信号を読み出すタイミングの比を、 $t_1 : t_2 : t_3 = 4 : 6 : 7$ （蓄積時間比  $4 : 2 : 1$ ）、演算部（アンプ 446, 447, 448）の利得を  $G_1 = 0$ ,  $G_2 = 2$ ,  $G_3 = -1$  に設定することにより、特定の光量部のみを取り出すようにする（即ち、ブラッククリップ+ホワイトクリップ）ことができる。このときの入出力特性を図10に示す。

【0054】

また、先の実施形態に係るCMOS撮像素子の構成の場合には、駆動タイミングを変えることによって高速撮像にも対応できる。以下、高速撮像対応の場合の具体例について説明する。

【0055】

図1の構成において、図11のタイミングチャートに示すように、第1垂直走査回路30に奇数行、第2垂直走査回路31に偶数行をそれぞれ受け持たせる。すなわち、垂直走査時に、第1垂直走査回路30からは奇数行の垂直走査パルス（ $\dots, \phi V_{1n}, \phi V_{1n+2}, \dots$ ）を出力し、第2垂直走査回路31からは偶数行の垂直走査パルス（ $\dots, \phi V_{2n+1}, \phi V_{2n+3}, \dots$ ）を出力するようにして1行飛ばしに垂直走査を行うようにする。

【0056】

これにより、図12の模式図に示すように、垂直選択トランジスタ（ $27n, 27n+2, \dots$ ）、（ $\dots, 28n+1, 28n+3, \dots$ ）および垂直信号線25, 26を通して2行分の信号を同時に読み出すことができる。その結果、同じ動作周波数で、 $1/2$ の時間で全画素の情報を取り出せるため、高速撮像を実現できるのである。

【0057】

なお、ここでは、垂直信号線、垂直選択トランジスタおよび垂直走査回路をそれぞれ2系統設けた構成のCMOS撮像素子における高速撮像の場合を例にとりて説明したが、その系統数を3系統、4系統、 $\dots$ と増やせば、 $1/3$ ,  $1/4$ ,  $\dots$ の時間で全画素情報を取り出せるため、より高速な撮像を実現できる。

【0058】

また、高速撮像のみに対応可能なCMOS撮像素子を構成するには、垂直走査回路に対して $n$ 個の垂直スタートパルスを与えて $n-1$ 行飛ばしに垂直走査させるようにすれば、垂直選択トランジスタおよび垂直信号線については $n$ 系統分必要ではあるが、垂直走査回路については1つのみで済むことになる。

【0059】

なお、先の実施形態およびその変形例に係る単位画素の構成は一例に過ぎず、これに限定されるものではなく、本発明は、単位画素が少なくとも、フォトダイオード等の光電変換素子、その蓄積電荷を読み出す読み出しトランジスタおよびそれを選択する読み出し選択トランジスタを有する構成のX-Yアドレス型の固体撮像素子全般に適用可能である。

【0060】

【発明の効果】

以上説明したように、本発明によれば、各画素の蓄積電荷量に応じた信号を、~~行単位で配線された水平信号線に出力する構成の固体撮像素子およびこれを撮像~~デバイスとして用いたカメラシステムにおいて、各水平信号線ごとに複数本の垂直信号線およびこれに対応して複数系統の垂直駆動系を配したことにより、1フィールドを1Hの整数倍で任意に分割された蓄積時間の異なる複数の信号を別々に導出できるため、縦筋状のシステムノイズを発生することなく、広ダイナミックレンジ撮像を実現できる。

【図面の簡単な説明】

【図1】

本発明の一実施形態に係るCMOS撮像素子を示す概略構成図である。

【図2】

垂直走査のタイミングチャートである。

【図3】

水平走査のタイミングチャートである。

【図4】

広ダイナミックレンジ動作時の垂直走査の模式図である。

【図 5】

広ダイナミックレンジ動作時の画素蓄積電荷量の時間変化を示す図である。

【図 6】

単位画素の他の構成例を示す回路図である。

【図 7】

本発明に係るカメラシステムの構成の一例を示すブロック図である。

【図 8】

垂直駆動系が 3 系統の場合の画素蓄積電荷量の時間変化を示す図である。

【図 9】

垂直駆動系が 3 系統の場合の信号処理回路の構成例を示すブロック図である。

【図 10】

垂直駆動系が 3 系統の場合の入射光量と出力信号量の関係の一例を示す入出力特性図である。

【図 11】

高速撮像時の垂直走査のタイミングチャートである。

【図 12】

高速撮像時の垂直走査の模式図である。

【図 13】

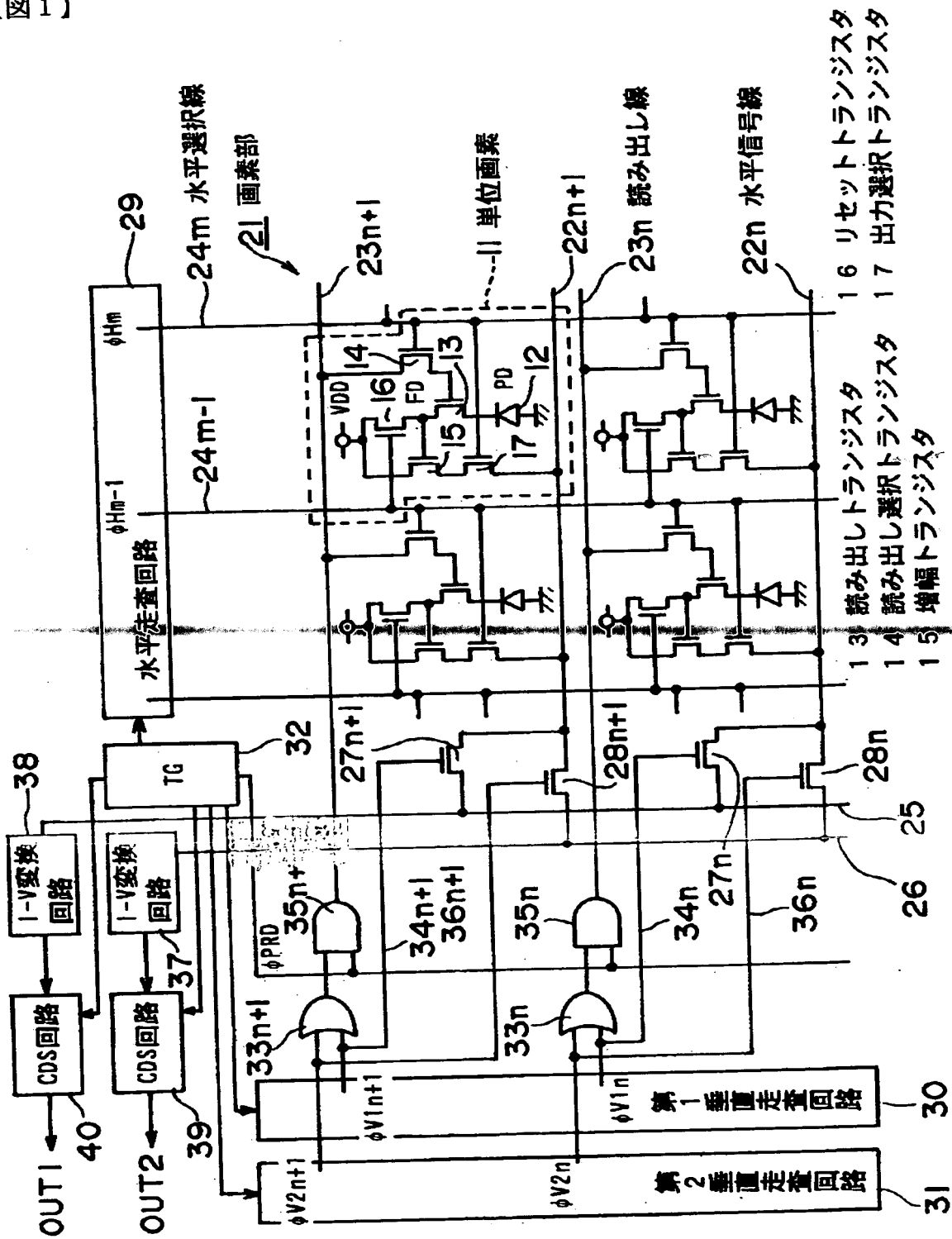
撮像素子の入射光量と出力信号量の関係を示す入出力特性図である。

【符号の説明】

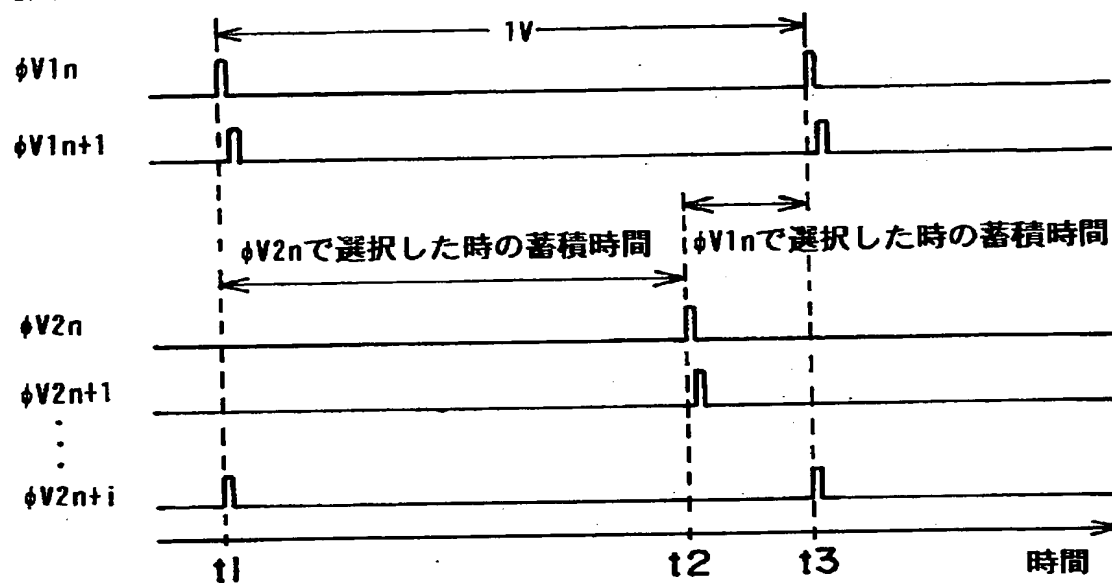
1 1…単位画素、1 2…フォトダイオード (PD)、1 3…読み出しトランジスタ、1 4…読み出し選択トランジスタ、1 5…増幅トランジスタ、2 1…画素部、2 2 n, 2 2 n+1…水平信号線、2 3 n, 2 3 n+1…読み出し線、2 4 m-1, 2 4 m…水平選択線、2 5, 2 6…第 1, 第 2 垂直信号線、2 7 n, 2 7 n+1, 2 8 n, 2 8 n+1…垂直選択トランジスタ、2 9…水平走査回路、3 0, 3 1…第 1, 第 2 垂直走査回路、3 2…タイミングジェネレータ

【書類名】 図面

【図 1】

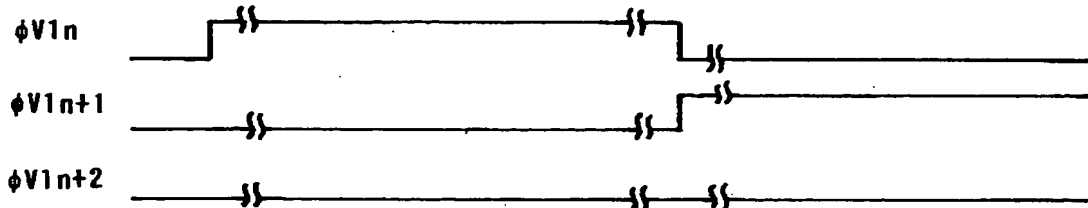


【図 2】

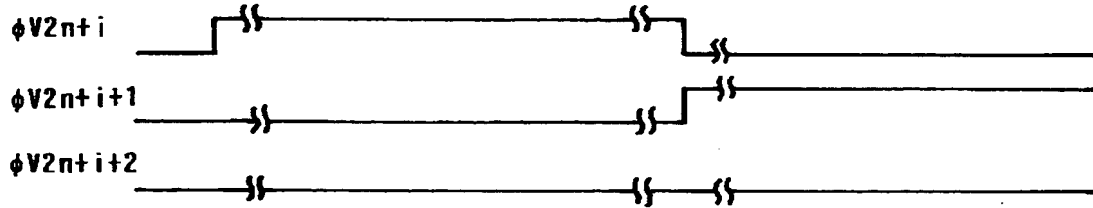


【図 3】

第 1 垂直走査パルス



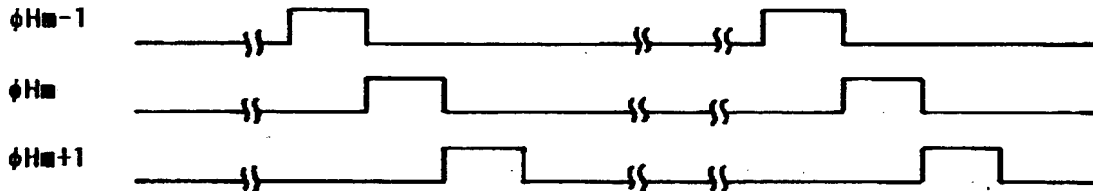
第 2 垂直走査パルス



読み出しパルス



水平走査パルス

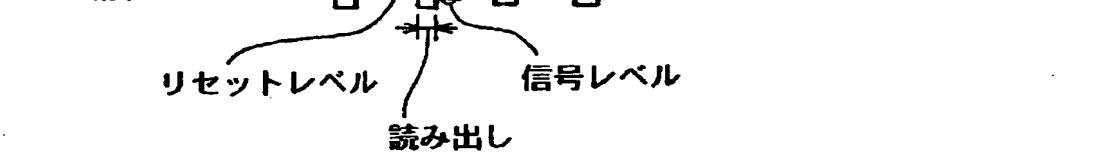


n行目, n+i行目

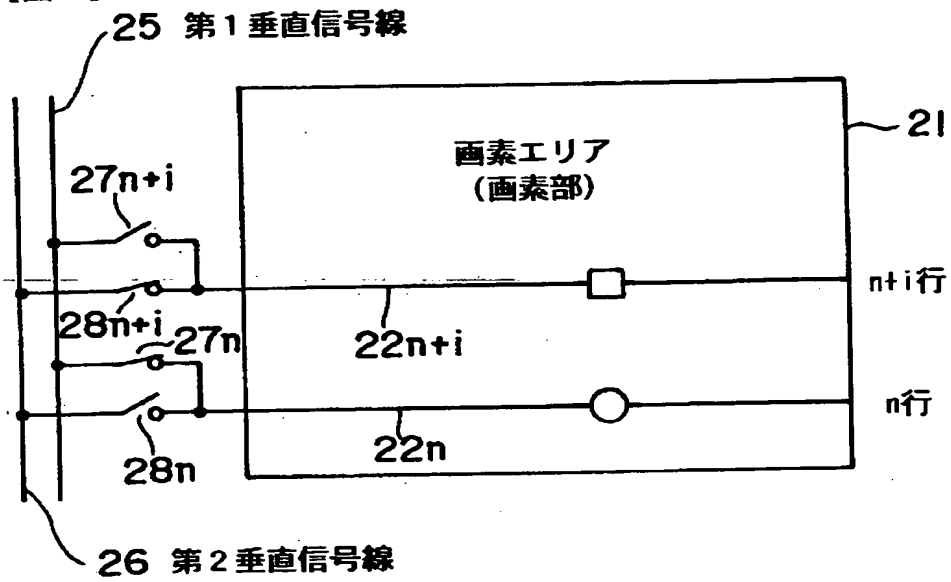
読み出し線



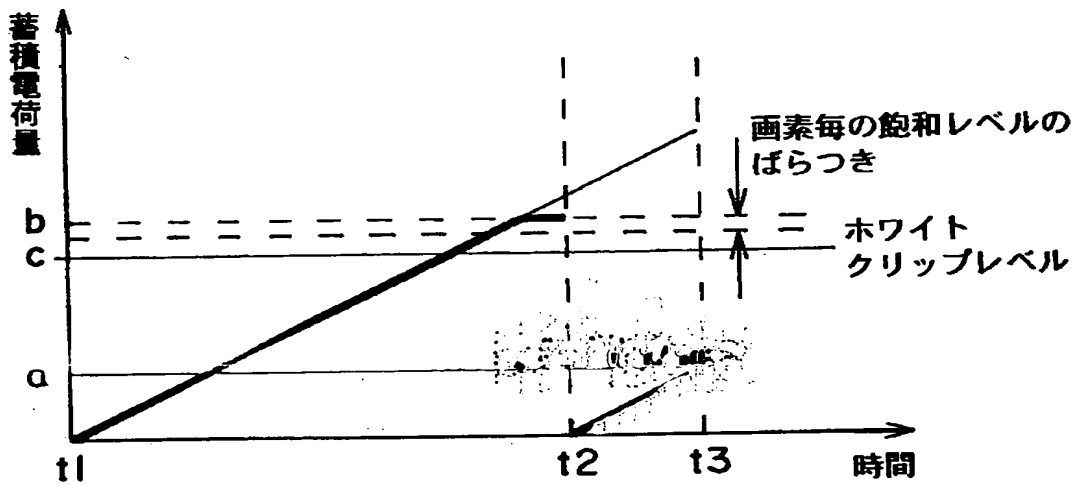
I-V変換OUT



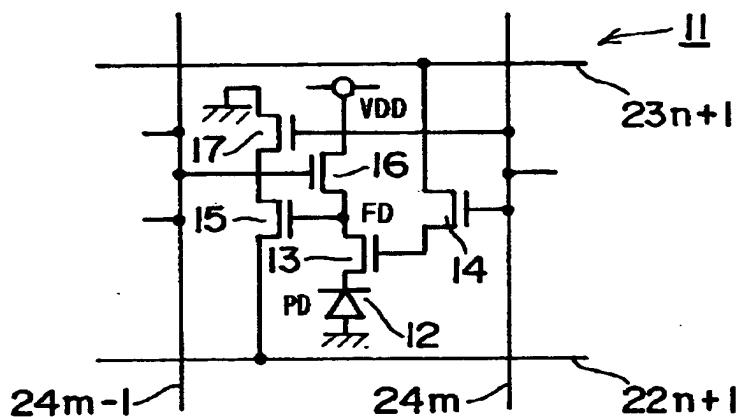
【図 4】



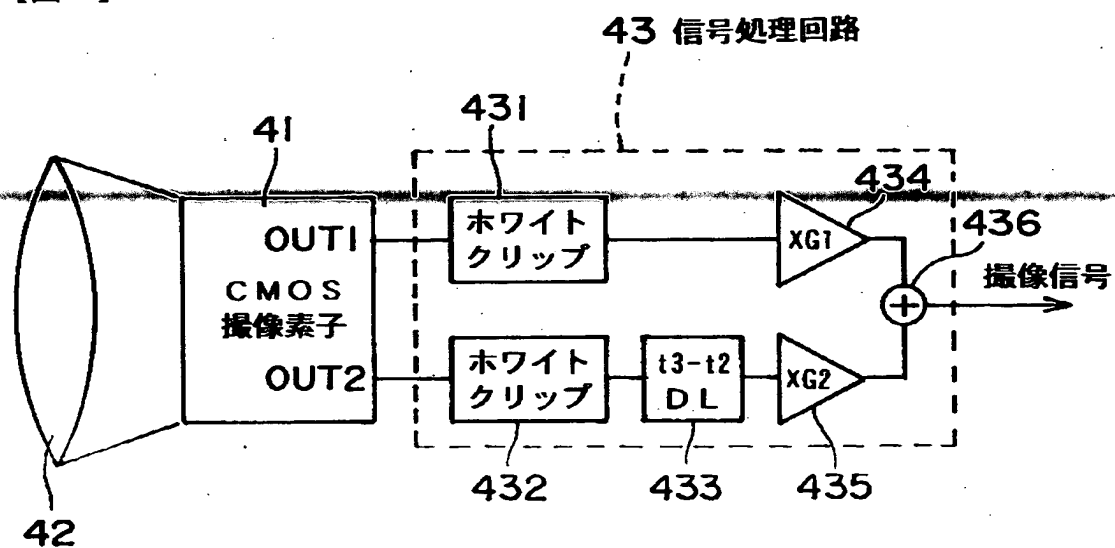
【図 5】



【図 6】

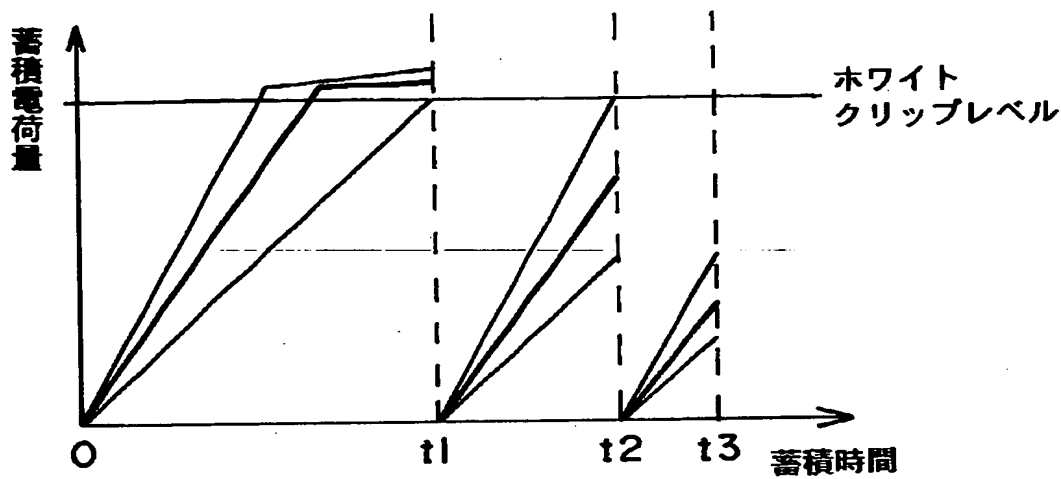


【図 7】

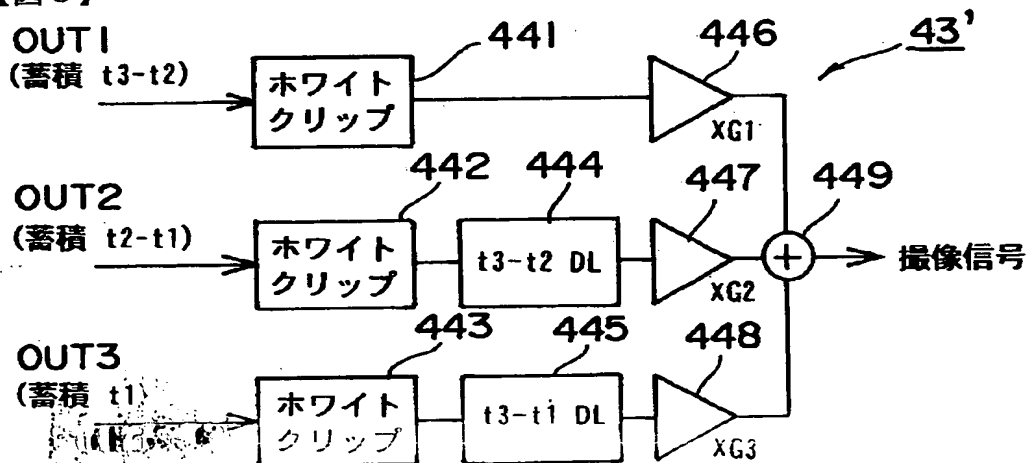




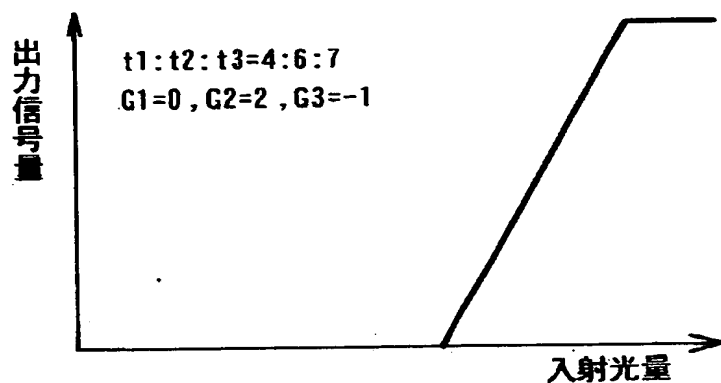
【図 8】



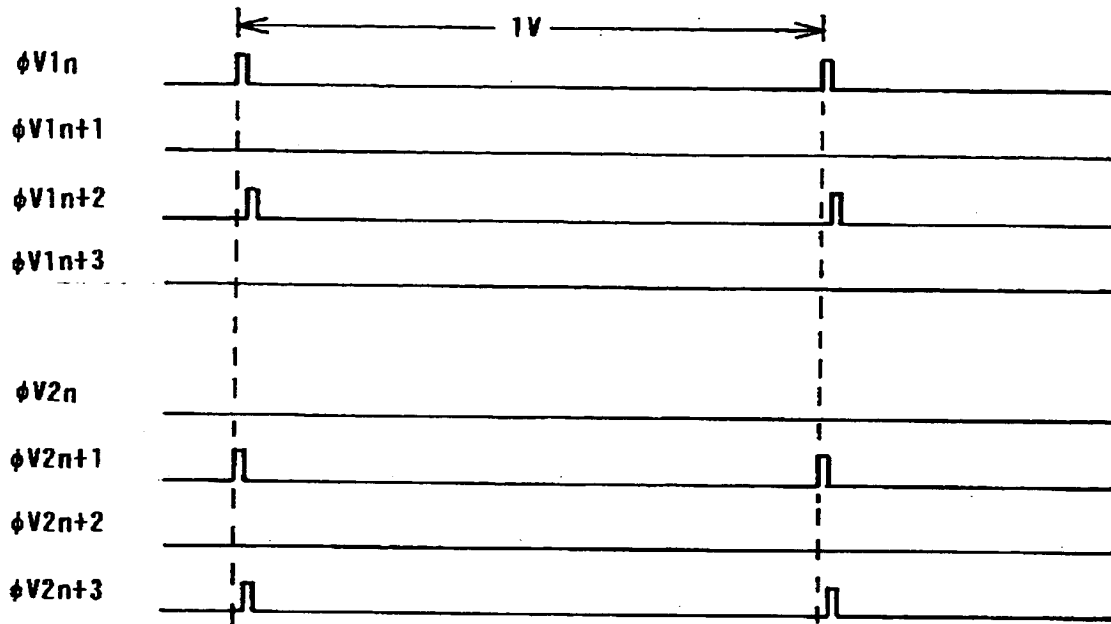
【図 9】



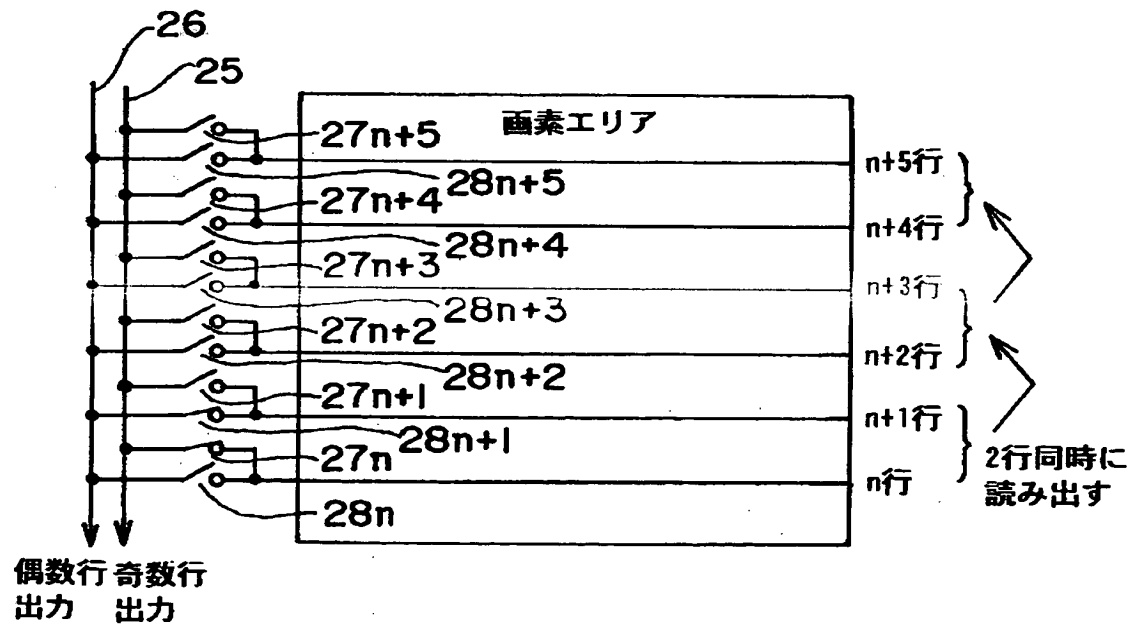
【図 10】



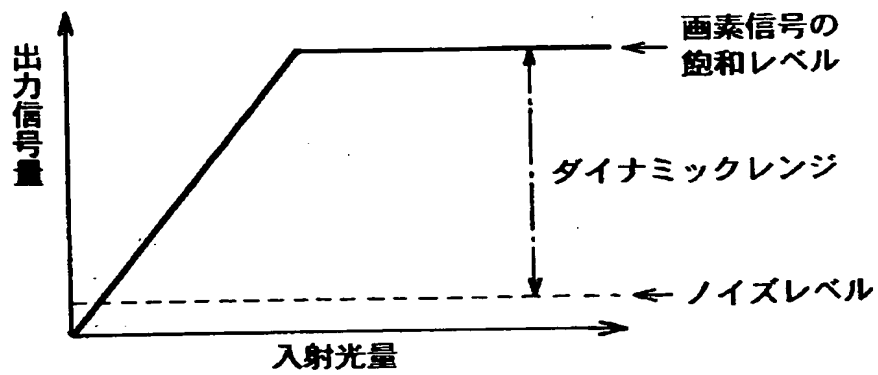
【図 1 1】



【図 1 2】



【図 1 3】



【書類名】 要約書

【要約】

【課題】 長時間蓄積信号を1ライン分出力した後、短時間蓄積信号を1ライン分出力すると、水平映像期間中に垂直読み出し走査パルスが立ち上がったたりし、これが画面の中央付近に縦筋状のシステムノイズとして現れる。

【解決手段】 各画素の蓄積電荷量に応じた信号を、行単位で配線された水平信号線  $22n$ ,  $22n+1$  に出力する構成のCMOS撮像素子において、各水平信号線ごとに例えば2つの垂直選択トランジスタ  $27n$ ,  $28n$  と、各水平信号線に対して2本の垂直信号線  $25$ ,  $26$  および2つの垂直走査回路  $30$ ,  $31$  を配することで、1フィールドを1Hの整数倍で任意に分割された蓄積時間の異なる信号、即ち長時間蓄積信号と短時間蓄積信号とを別々に導出する。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号

[000002185]

1. 変更年月日

1990年 8月30日

[変更理由]

新規登録

住 所

東京都品川区北品川6丁目7番35号

氏 名

ソニー株式会社

This Page Blank (uspto)